

**数字电路与逻辑设计**

**课程实验报告**

**多功能电子钟系统**

|  |  |
| --- | --- |
| 姓 名： | **徐瑞达** |
| 学 号： | **U202015533** |
| 班 级： | **CS2008班** |
| 专 业： | **计算机科学与技术** |
| 完成日期： | **2021年12月7日** |

**1. 实验名称**

多功能电子钟系统设计。

**2. 实验目的**

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

**3. 实验所用设备**

Logisim2.7.1软件1套，微型计算机1台。

**4．课时**

课内8个课时，课外8个课时。

**5．实验内容**

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

**（1）具有校准计数值的六十进制计数器电路**

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5-1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5-1 调整计数值的60进制计数器

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5-2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5-2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

**（3）显示“上午”、“下午”的电路**

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5-3所示。封装图如图 5-4所示，测试电路如图 5-5所示。

** **

图 5-3 led点阵显示器

图 5-4 led点阵封装图 图 5-5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

**（4）电子钟整点报时电路**

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

**（5）秒计时脉冲产生电路**

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5-6所示，它成为秒计数器的计数脉冲信号。

图 5-6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

**（6）闹钟（选做）**

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

**（7）多功能数字钟电路**

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5-8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5-7电子钟的“输入、输出检查要求”

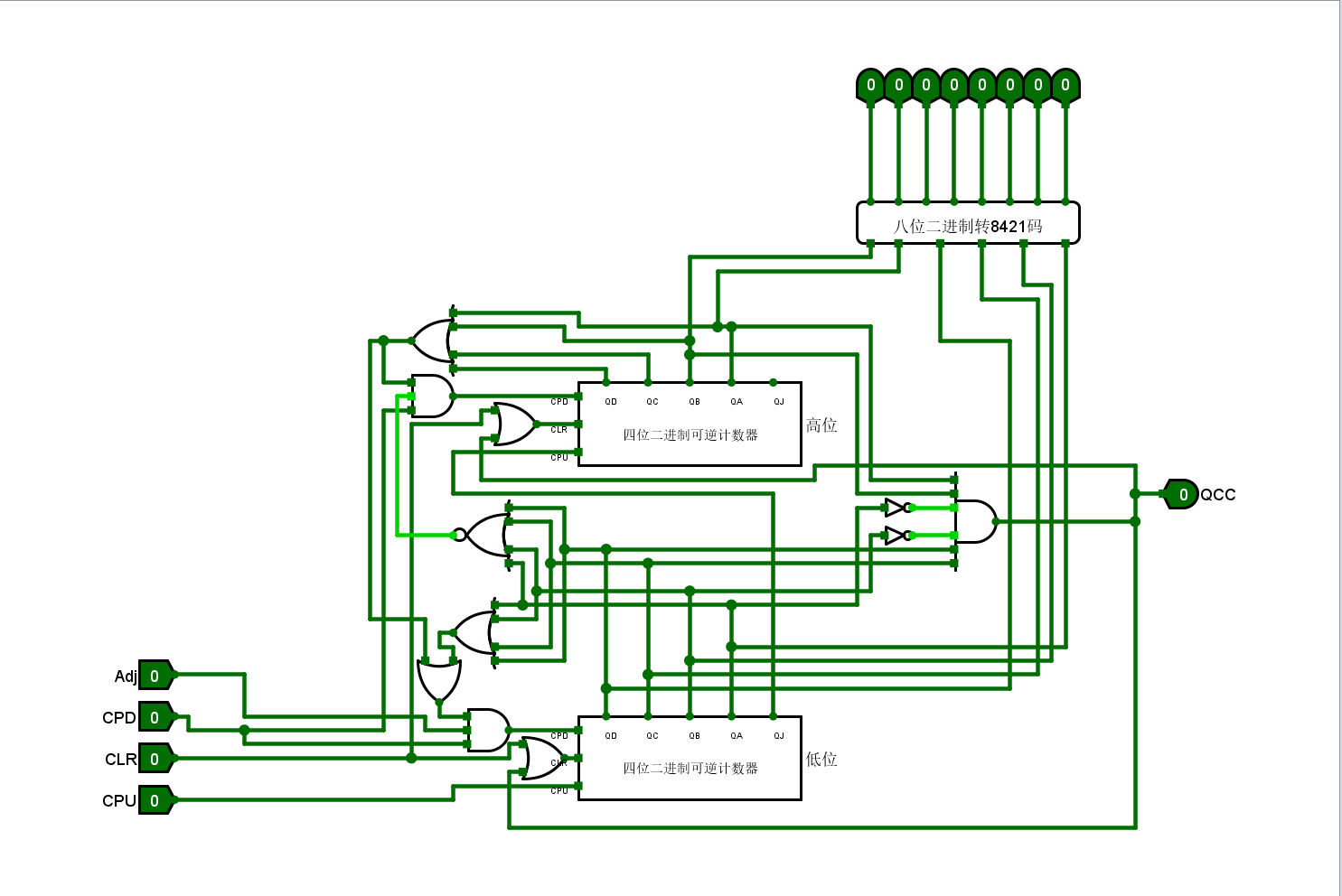


图 5-8电子钟的测试电路

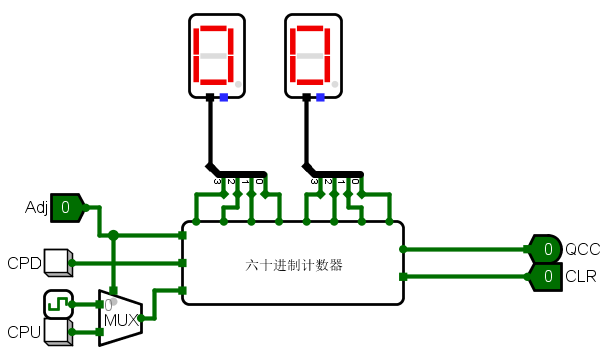
**6. 实验方案设计**

**（1）具有校准计数值的六十进制计数器电路**

**设计思路:**使用两个在前置实验中设计的四位二进制可逆计数器及其他元件完成具有校准计数值的六十进制计数器电路。由于60进制需要用6位二进制表示，因此使用两个四位二进制计数器。其中一个作为低四位，将进位作为高四位计数器的CPU端输入，以完成进位。在电路中，通过判断当前二进制是否为111100来决定是否产生60进制进位信息并通过CLR重置计数器。对于CPD端，通过判断高四位是否为0来决定是否从高位借位，进而完成累减至0的操作。具体电路图如图5-9所示，封装测试电路如图5-10所示。



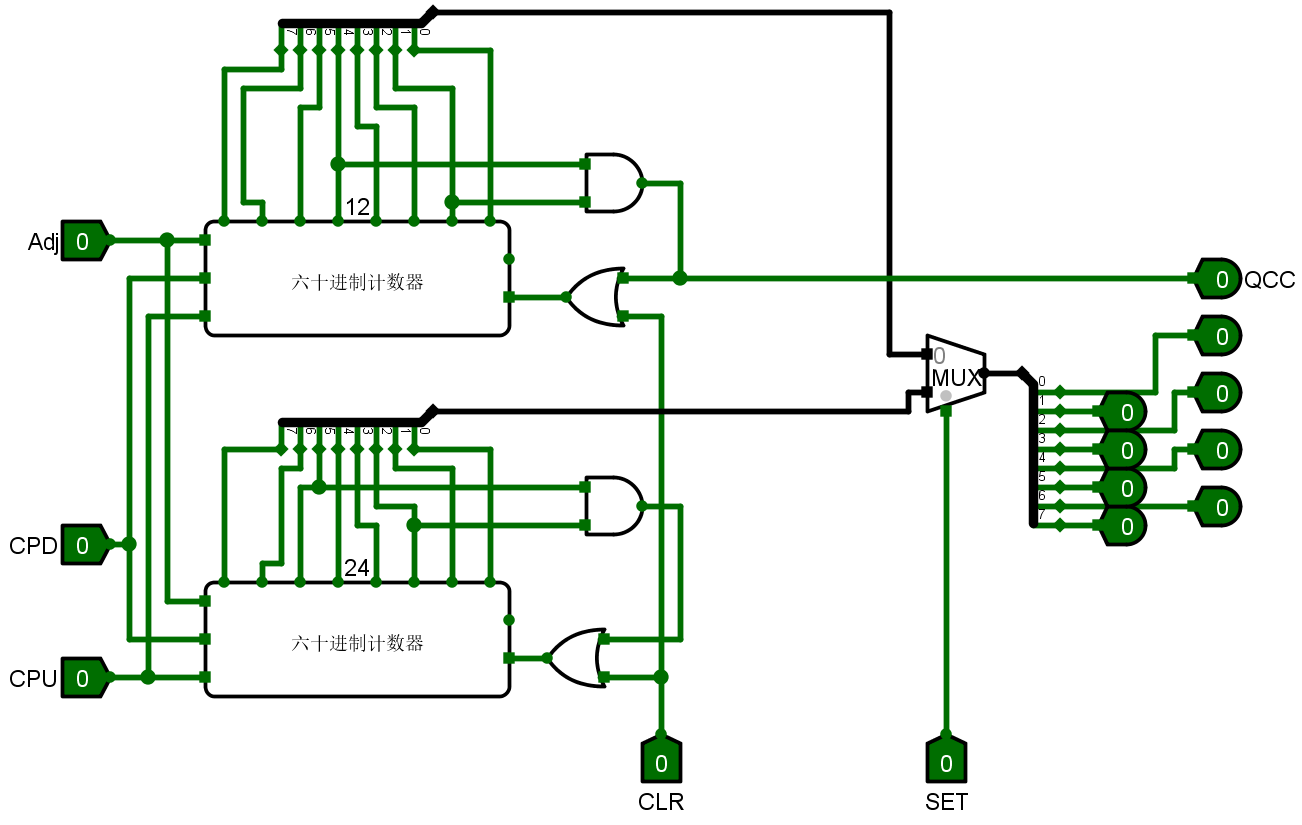
**图5-9 具有校准计数值的六十进制计数器电路**



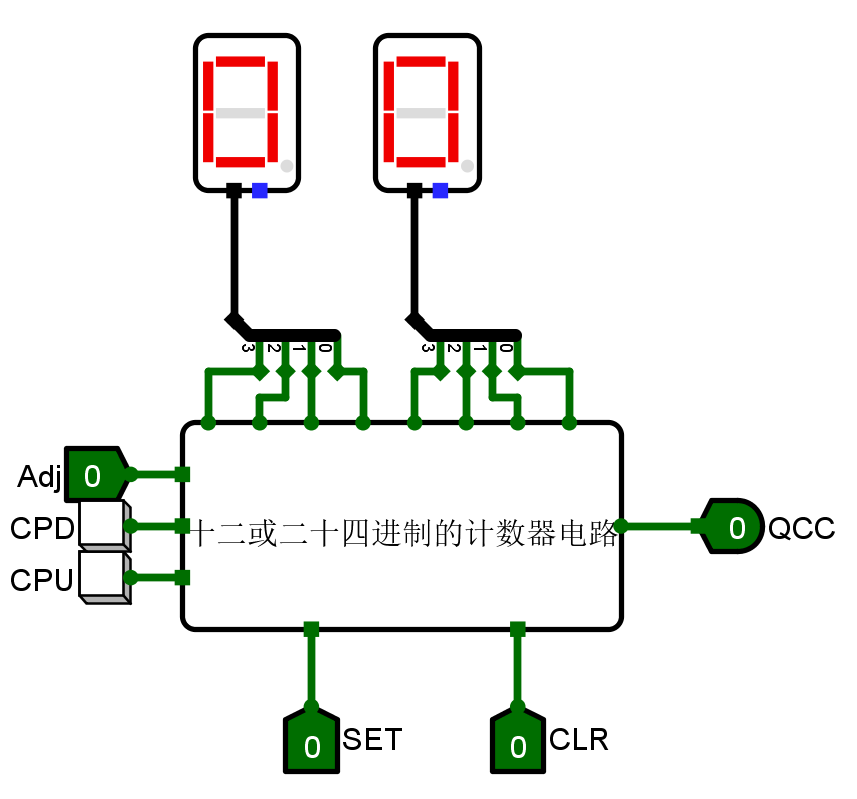
**图5-10 具有校准计数值的六十进制计数器封装测试电路**

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

**设计思路:**使用两个六十进制计数器设计具有校准计数值功能的12/24进制计数器电路。由于在实际操作中需要能够使24小时制和12小时制对应，因此需要将两种进制的计数器分开，而如果采用两个四位二进制计数器串联，则会难以处理。通过判断两个60进制的计数器是否为12/24来决定是否输出进位和重置，而24进制计数器的进位是无需输出的，因此仅需输出12进制的进位信息。通过使用分线器和多路选择器来判断由set输入决定的输出的进制数字信息。具体电路图如图5-11所示，封装测试电路如图5-12所示。



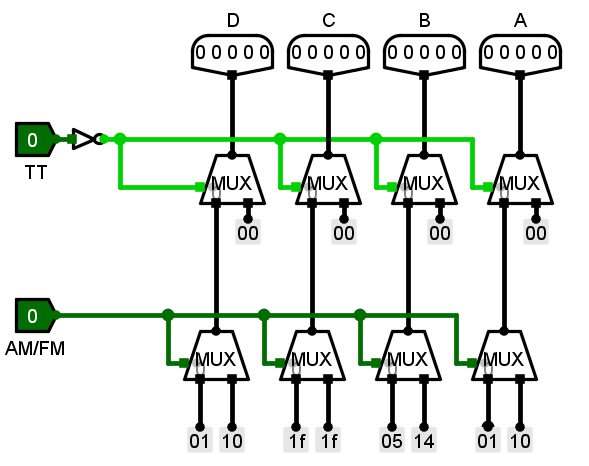
**图5-11 具有校准计数值的12/24进制计数器电路**



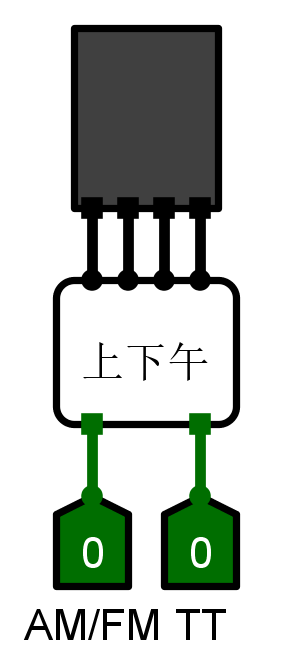
**图5-12 具有校准计数值的12/24进制计数器封装测试电路**

**（3）显示“上午”、“下午”的电路**

**设计思路:**使用多个多路选择器来决定输出信号。由于4×5 LED点阵共有四个五位的输入，因此只需在电路中使用多路选择器来判断究竟应输出何种数据来显示“上”“下”汉字或不显示。具体电路图如图5-13所示，封装测试电路如图5-14所示。



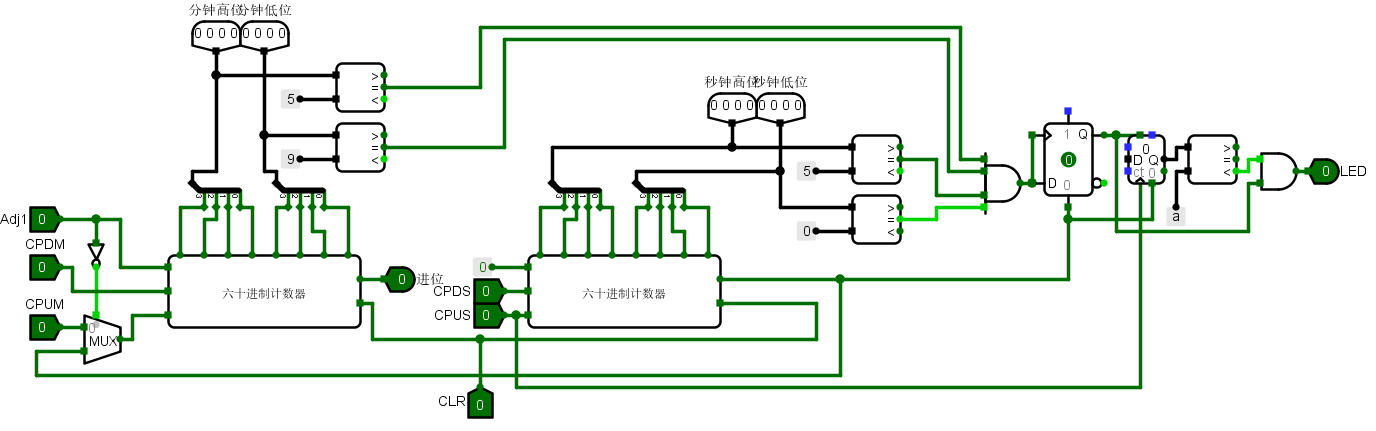
**图5-13 显示“上午”、“下午”的电路**



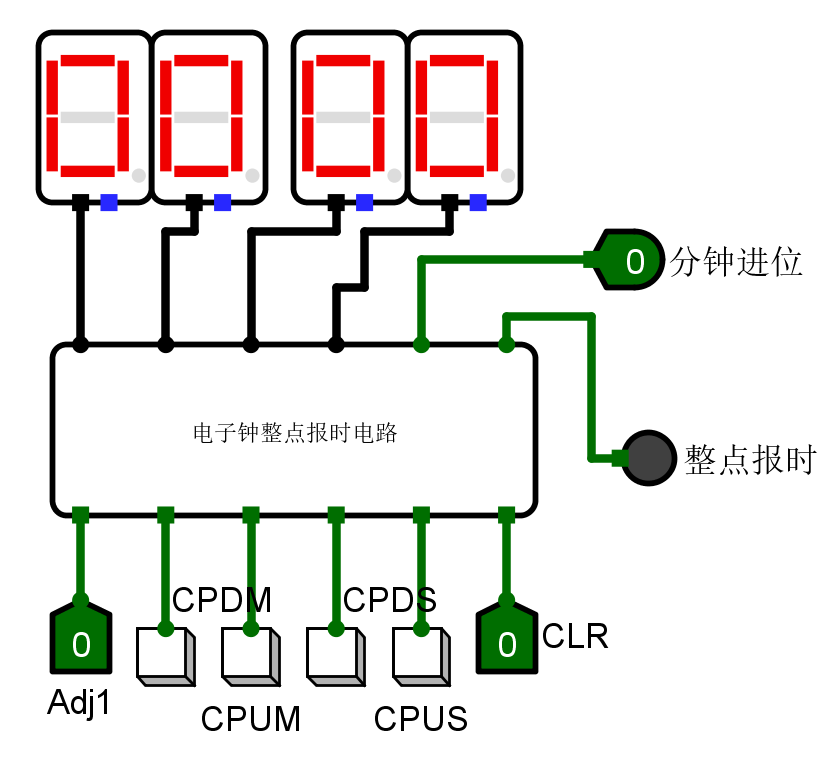
**图5-14 显示“上午”、“下午”的封装测试电路**

**（4）整点报时电路**

**设计思路:**通过使用比较器和计数器来判定LED灯亮起时机和持续时长。使用两个六十进制计数器代表秒钟和分钟计数，秒钟的进位信息赋给分钟的CPU端以完成进位。在电路中实时判断分钟是否为59和秒钟是否为50来决定是否进行报时。当产生报时信号时，使用D触发器存储该信号，并通过将CPU端接在计数器的时钟端完成按秒计数，当计数值累至10之前，LED灯亮起，当计数值到达10时，立即重置计数器和D触发器为0，并产生进位信息，LED灯熄灭。具体电路图如图5-15所示，封装测试电路如图5-16所示。



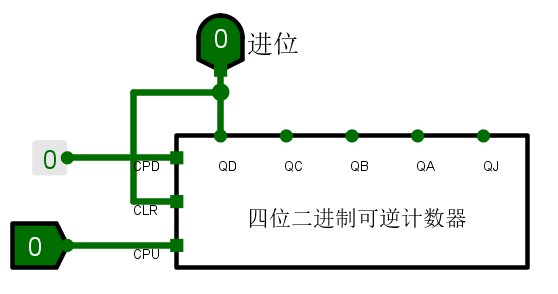
**图5-15 整点报时电路**



**图5-16整点报时封装测试电路**

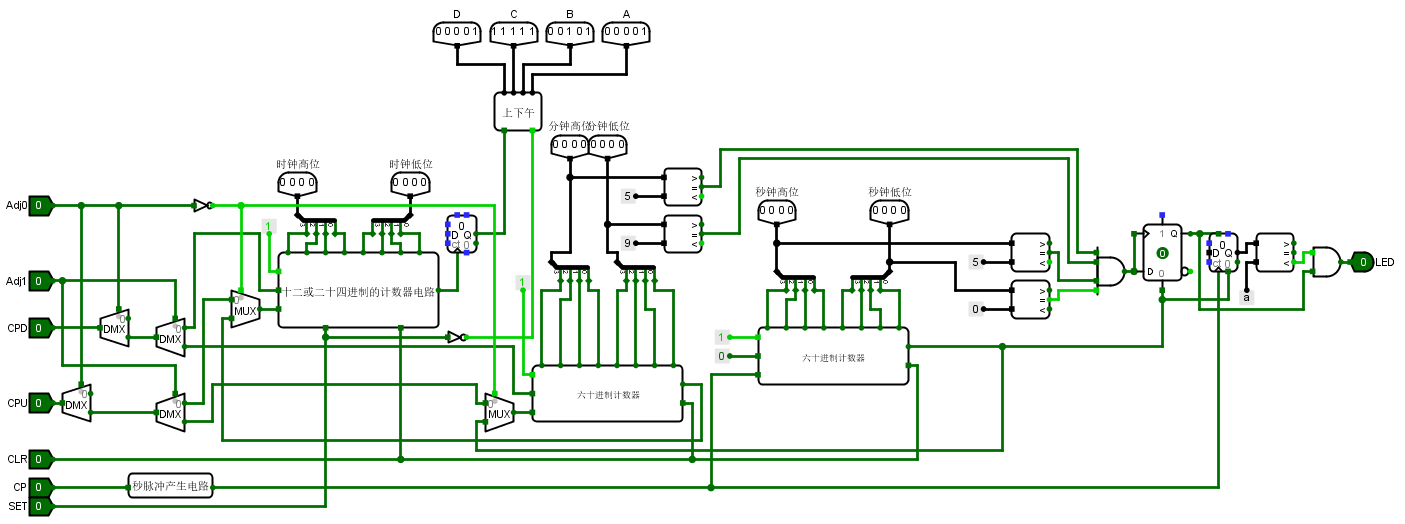
**（5）秒计时脉冲产生电路**

**设计思路:**使用一个四位二进制计数器来变换脉冲。当输入八个脉冲信号时，计数器累加至8，此时输出一个脉冲信号，并重置计数器，从而完成8个脉冲变为1个脉冲的工作。具体电路图如图5-17所示。

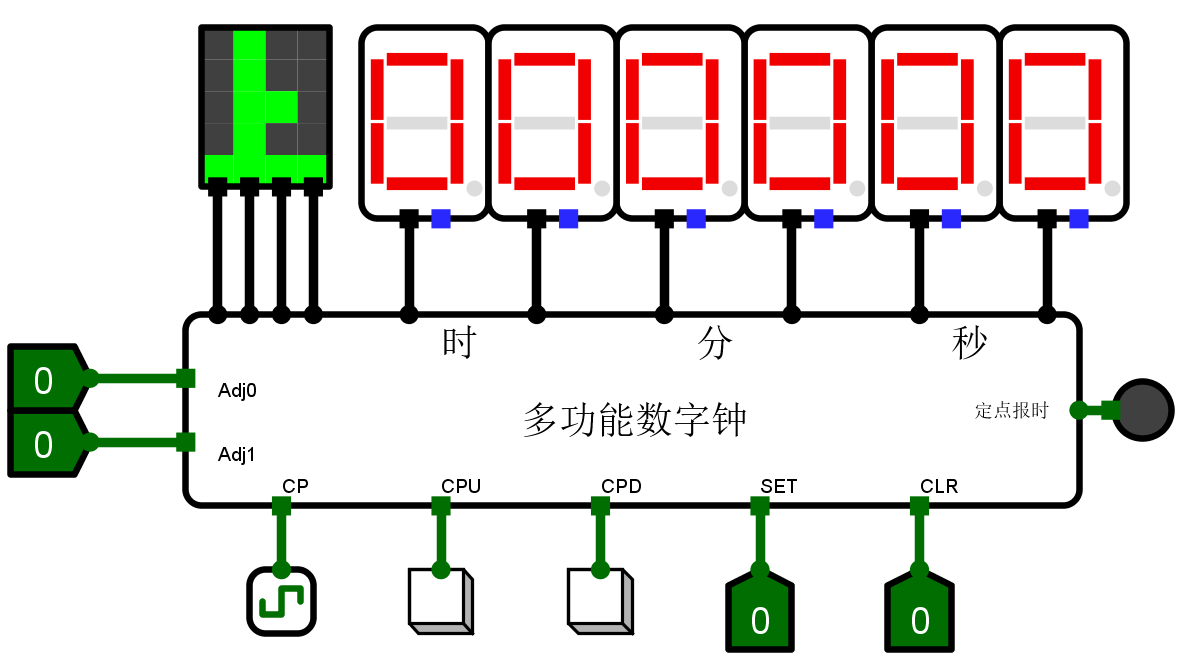


**图5-17秒计时脉冲产生电路**

**（6）多功能电子钟电路**

**设计思路:**使用一个12/24进制可逆计数器、两个60进制可逆计数器、上下午显示器、秒脉冲产生电路完成多功能电子钟。将秒钟进位信息给分钟CPU端，将分钟进位信息给时钟CPU端，将时钟进位信息给上下午显示电路，秒钟CPU端接CP时钟信号。具体电路图如图5-18所示，封装测试电路如图5-19所示。

**图5-18 多功能电子钟电路**



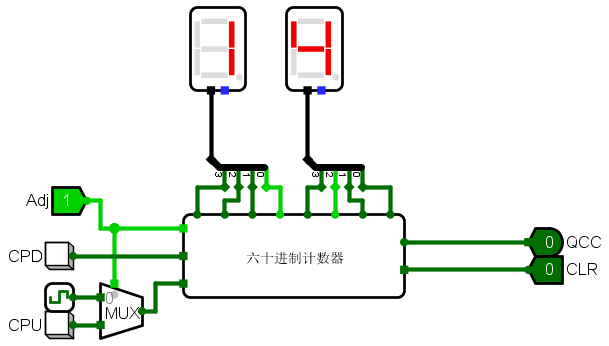
**图5-19 多功能电子钟封装测试电路**

**6、实验结果记录**

**（1）“具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

测试时，Adj为1时可通过CPU和CPD按钮手动调整计数，Adj为0时可使用时钟进行自动累加。测试结果见图5-20。

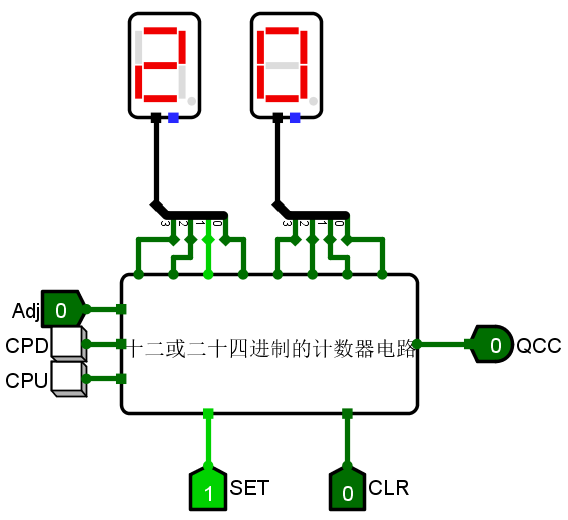


**图5-20 具有校准计数值的六十进制可逆计数器测试结果图**

**（2）“具有校准计数值的十二进制计数器或二十四进制的计数器” “私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

测试时，通过CPU和CPD按钮手动调整计数，set为0时为12小时制，set为1时为24小时制。测试结果见图5-21。

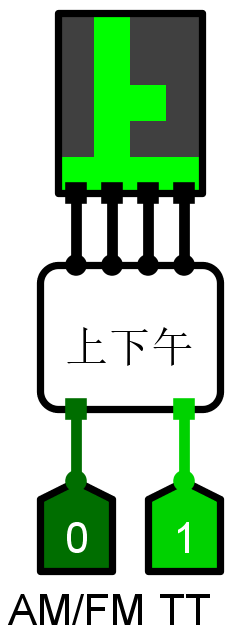
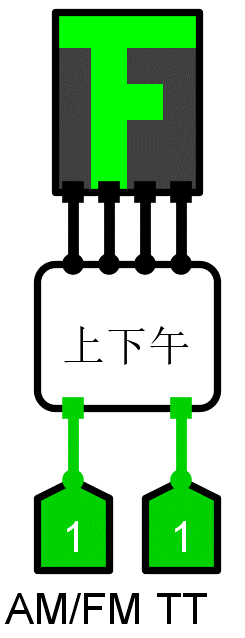
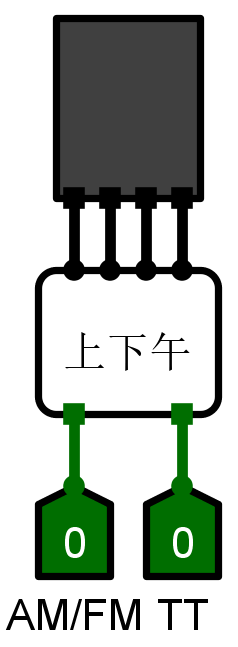


**图5-21 具有校准计数值的十二进制或二十四进制的计数器测试结果图**

**（3）显示“上午”、“下午”“私有”元件的测试电路**

**要求：封装后外接4\*5Led显示器。**

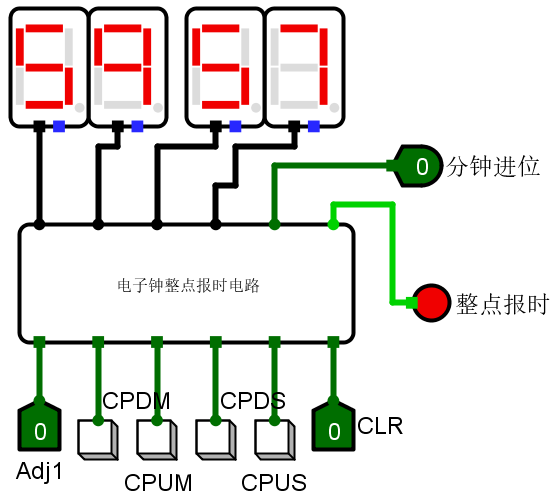
测试时，TT为1时为12小时制，AM为0为上午，AM为1为下午，TT为0时为24小时制，LED显示器无显示内容。测试结果见图5-22。

**图5-22 显示“上午”、“下午”“私有”元件的测试电路测试结果图**

**（4）电子钟整点报时“私有”元件的测试电路**

测试时，Adj1为1时可以调整分钟，并通过CPUS累加秒钟。测试结果见图5-23。



**图5-24 电子钟整点报时“私有”元件的测试电路测试结果图**

**（5）按多功能数字钟电路系统输入、输出信号要求，多功能数字钟电路的测试电路**

**按照要求，各测试结果见下表5-1。**

|  |  |
| --- | --- |
| **测试输入或信号及说明** | **测试结果截图** |
| Adj0=1，Adj1=0,set=0调整12小时制时钟 |  |
| Adj0=1，Adj1=0,set=1调整24小时制时钟 |  |
| Adj0=1，Adj1=1调整分钟 |  |
| Adj0=0不调整时钟，模拟始终连续 |  |
| Adj0=0不调整时钟，整点报时 |  |
| Adj0=0不调整时钟，整点报时完成进位后 |  |
| CLR=0 将钟表置为0 |  |

**表5-1 多功能电子钟测试结果图**

**8. 实验后的思考**

**（1）实验的难点在哪些方面？**

①十二进制计数器或二十四进制的计数器，在开始写的时候，没有注意到两种时制需要对应，而按照六十进制计数器的方法使用了两个四位二进制计数器解决问题。

②六十进制计数器的进位信息无法看到，导致在完成电路时一度认为电路有错误，并尝试使用触发器解决问题，但这也导致在多功能电子钟中进位不及时的问题。

**（2）如何解决这些难点？**

①在写完多功能数字钟后，意识到这个问题，将该电路删除重做，使用两个六十进制计数器分别对24进制和12进制进行计数，并输出12进制的进位信息。

②经询问同学后，发现这原来是正常现象，再在修改简化电路后，电路运行得以正常。